

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235477  
 (43)Date of publication of application : 05.09.1995

(51)Int.CI. H01L 21/027  
 G03F 7/004  
 G03F 7/038  
 G03F 7/039  
 G03F 7/26

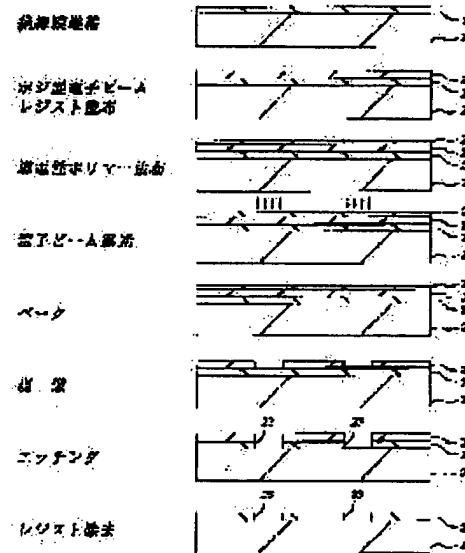
(21)Application number : 06-026992 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 24.02.1994 (72)Inventor : OKAMOTO YOSHIHIKO

## (54) FABRICATION OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To enhance the plotting accuracy while shortening the exposing time by employing a positive or negative electron beam resist selectively depending on the area of an integrated circuit and coating the surface of a chemical amplification system electron beam resist with a conductive polymer.

**CONSTITUTION:** Positive and negative electron beam resists are employed selectively for the contact hole making process and the wiring forming process. When a contact hole is made, an insulating film 20 is deposited at first on the main plane of a semiconductor wafer 2 and a chemical amplification system positive electron beam resist 21 is applied thereon. A positive polymer 22 is further applied thereon and then the surface of the semiconductor wafer 2 is irradiated with an electron beam. Subsequently, the positive electron beam resist 21 is baked. The semiconductor wafer 2 is washed with water to remove the conductive polymer 22 on the surface and then the positive electron beam resist 21 is developed using an organic solvent. Thereafter, the insulating film 20 is etched to make a contact hole 23 and then the positive electron beam resist 21 is removed.



### LEGAL STATUS

[Date of request for examination] 11.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3386218

[Date of registration] 10.01.2003

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-235477

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl.

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 21/027

G 03 F 7/004

7/038

7/039

5 0 3

H 01 L 21/30 5 4 1 Z

審査請求 未請求 請求項の数17 OL (全16頁) 最終頁に続く

(21)出願番号

特願平6-26992

(22)出願日

平成6年(1994)2月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

岡本 好彦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

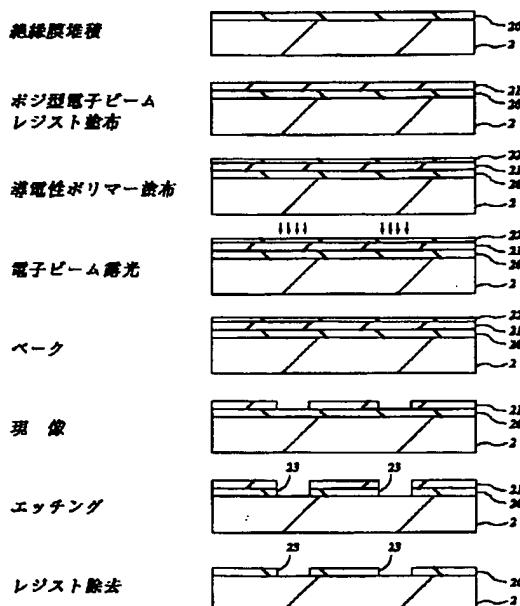
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 化学增幅系電子ビームレジストをマスクに用いて集積回路パターンの微細加工を高精度、高速に行う。

【構成】 半導体ウェハ上に形成された化学增幅系電子ビームレジストに電子ビームを照射して得られるレジストパターンをマスクに用いて集積回路パターンを形成する際、集積回路の製造工程に応じてポジ型電子ビームレジストとネガ型電子ビームレジストとを使い分け、高スループットの電子ビーム直接描画を実現する。また、上記化学增幅系電子ビームレジスト上に導電性ポリマーを被着し、電子ビーム描画時のレジストのチャージアップを防止する共に、化学增幅系電子ビームレジストの安定化を実現する。

図 1



## 【特許請求の範囲】

【請求項 1】 半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射し、照射部と未照射部の現像液に対するレジスト溶解速度の差を利用してレジストパターンを形成する電子ビーム露光工程を複数工程備えた半導体集積回路装置の製造方法であって、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記電子ビームの照射に先立って、前記化学增幅系電子ビームレジストの表面に導電性ポリマーを被着することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法であって、集積回路の実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記電子ビームを照射することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 1 記載の半導体集積回路装置の製造方法であって、特定用途向け半導体集積回路装置に適用することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 2 記載の半導体集積回路装置の製造方法であって、前記化学增幅系電子ビームレジストに電子ビームを照射する際、前記導電性ポリマーにアース端子を接触して、前記導電性ポリマーの表面電位をアース電位にすることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 半導体ウエハ上に被着したレジストを露光してレジストパターンを形成する露光工程を複数工程備えた半導体集積回路装置の製造方法であって、前記複数の露光工程の一部の工程では化学增幅系電子ビームレジストに電子ビームを照射することによりレジストパターンを形成し、他の一部の工程ではフォトマスクを用いた光投影露光方式によりレジストパターンを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 6 記載の半導体集積回路装置の製造方法であって、集積回路素子を形成する工程では、少なくともその一工程で前記光投影露光方式によりレジストパターンを形成し、前記集積回路素子の上に配線を形成する工程では、前記化学增幅系電子ビームレジストを用いた電子ビーム露光方式によりレジストパターンを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 記載の半導体集積回路装置の製造方法であって、集積回路素子を形成する工程の一部で化学增幅系ポジ型電子ビームレジストを用い、他の一部で化学增幅系ネガ型電子ビームレジストを用いることを

特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 記載の半導体集積回路装置の製造方法であって、前記化学增幅系電子ビームレジストに電子ビームを照射してレジストパターンを形成する電子ビーム露光工程を複数工程備え、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いることを特徴とする半導体集積回路装置の製造方法。

10 【請求項 10】 請求項 6 記載の半導体集積回路装置の製造方法であって、前記化学增幅系電子ビームレジストに電子ビームを照射して形成されるレジストパターンの最小寸法は、前記光投影露光方式で用いる露光光の波長以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 7 記載の半導体集積回路装置の製造方法であって、前記集積回路素子の上に配線を形成する工程の一部で化学增幅系ポジ型電子ビームレジストを用い、他の一部で化学增幅系ネガ型電子ビームレジストを用いることを特徴とする半導体集積回路装置の製造方法。

20 【請求項 12】 請求項 8 記載の半導体集積回路装置の製造方法であって、前記化学增幅系ネガ型電子ビームレジストを用いて MISFET のゲート電極を形成し、前記化学增幅系ポジ型電子ビームレジストを用いて前記 MISFET とその上層に形成される配線とを接続するスルーホールを形成することを特徴とする半導体集積回路装置の製造方法。

30 【請求項 13】 半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射して得られたレジストパターンをマスクに用いて配線接続用のコンタクトホールを形成する際、以下の工程(a) ~ (e) を備えたことを特徴とする半導体集積回路装置の製造方法。

(a) 集積回路素子を形成した半導体ウエハ上に絶縁膜を堆積し、前記絶縁膜上に化学增幅系ポジ型電子ビームレジストを塗布し、さらに前記化学增幅系ポジ型電子ビームレジスト上に導電性ポリマーを被着する工程、(b) コンタクトホールの実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記化学增幅系ポジ型電子ビームレジストに電子ビームを照射する工程、(c) 前記化学增幅系ポジ型電子ビームレジストをペークすることにより、前記電子ビームの照射によって発生した酸を触媒とするレジスト溶解反応を促進させる工程、(d) 前記化学增幅系ポジ型電子ビームレジストを現像して被照射部を除去することにより、レジストパターンを形成する工程、(e) 前記レジストパターンをマスクに用いて前記絶縁膜をエッチングすることにより、配線接続用のコンタクトホールを形成する工程。

40 【請求項 14】 半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射して得られたレ

ジストパターンをマスクに用いて配線を形成する際、以下の工程(a)～(e)を備えたことを特徴とする半導体集積回路装置の製造方法。

(a) 集積回路素子を形成した半導体ウエハ上に導電膜を堆積し、前記導電膜に化学增幅系ネガ型電子ビームレジストを塗布し、さらに前記化学增幅系ネガ型電子ビームレジスト上に導電性ポリマーを被着する工程、(b) 配線の実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記化学增幅系ネガ型電子ビームレジストに電子ビームを照射する工程、(c) 前記化学增幅系ネガ型電子ビームレジストをペークすることにより、前記電子ビームの照射によって発生した酸を触媒とするレジスト架橋反応を促進させる工程、(d) 前記化学增幅系ネガ型電子ビームレジストを現像して未照射部を除去することにより、レジストパターンを形成する工程、(e) 前記レジストパターンをマスクに用いて前記導電膜をエッチングすることにより、配線を形成する工程。

【請求項15】 半導体ウエハ上に被着した電子ビームレジストに電子ビームを照射し、照射部と未照射部の現像液に対するレジスト溶解速度の差を利用してレジストパターンを形成する電子ビーム露光工程を複数工程備えた半導体集積回路装置の製造方法であって、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法であって、前記電子ビームの照射に先立つて、前記電子ビームレジストの表面に導電性ポリマーを被着することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項15記載の半導体集積回路装置の製造方法であって、前記電子ビームレジストに矩形または団形形状に成形した電子ビームを照射することを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、電子ビームレジストを使用した集積回路パターンの微細加工に適用して有効な技術に関するものである。

##### 【0002】

【従来の技術】 半導体集積回路装置の製造工程のうち、半導体ウエハに所望の集積回路パターンを転写する露光工程では、近年、紫外光を用いた露光技術に代えて電子ビームによる露光技術が利用されている。なかでも、電子ビームレジストを塗布した半導体ウエハに電子ビームを照射して集積回路パターンを直接描画する電子ビーム直接描画方式は、フォトマスクに形成された集積回路パターンを半導体ウエハに転写する従来の光露光方式に比

べて微細な集積回路パターンを形成できることから特に注目されている。

【0003】 しかし、上記電子ビーム直接描画方式は、フォトマスク上の集積回路パターンを半導体ウエハに一括転写する光露光方式と異なり、所定の形状に絞った電子ビームで半導体ウエハ上に集積回路パターンを描画するので、この描画スループットを如何にして短縮するかが特に重要な課題となる。

【0004】 この描画スループットを決める第一の要因は、レジストを感光させるのに要する照射時間である。そこで、現在、より高感度の電子ビームレジストの開発が各分野で進められており、その一例として、電子ビームの照射によりレジスト中に酸を遊離させ、露光後の熱処理によってこの酸を触媒とする露光反応を促進させるようにした、いわゆる化学增幅系レジストが提案されている。

【0005】 上記化学增幅系レジストについては、例えば「ジャーナル・オブ・フォトポリマー・サイエンス・アンド・テクノロジー(Journal of Photopolymer Science and Technology), Volume 2, No. 1 (1989)」P115～P122などに記載がある。

##### 【0006】

【発明が解決しようとする課題】 しかしながら、電子ビームの照射時にレジストから発生する酸を触媒として露光反応を促進させる化学增幅系電子ビームレジストは、高い感度と解像度が得られる反面、経時変化が大きく、その取り扱いが煩雑であることから、実用性に乏しいという問題があった。

【0007】 本発明の目的は、高スループットの電子ビーム直接描画を実現することのできる技術を提供することにある。

【0008】 本発明の他の目的は、化学增幅系電子ビームレジストを用いて高精度の電子ビーム直接描画を実現することのできる技術を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

##### 【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0011】 (1). 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射し、照射部と未照射部の現像液に対するレジスト溶解速度の差を利用してレジストパターンを形成する電子ビーム露光工程を複数工程備え、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いるものである。

【0012】 (2). 本発明の半導体集積回路装置の製造方

法は、上記(1)の製造方法において、前記電子ビームの照射に先立って、前記化学增幅系電子ビームレジストの表面に導電性ポリマーを被着するものである。

【0013】(3). 本発明の半導体集積回路装置の製造方法は、上記(1)の製造方法において、集積回路の実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記電子ビームを照射するものである。

【0014】(4). 本発明の半導体集積回路装置の製造方法は、上記(1)の製造方法を特定用途向け半導体集積回路装置に適用するものである。

【0015】(5). 本発明の半導体集積回路装置の製造方法は、上記(2)の製造方法において、前記化学增幅系電子ビームレジストに電子ビームを照射する際、前記導電性ポリマーにアース端子を接触して、前記導電性ポリマーの表面電位をアース電位にするものである。

【0016】(6). 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に被着したレジストを露光してレジストパターンを形成する露光工程を複数工程備え、前記複数の露光工程の一部の工程では化学增幅系電子ビームレジストに電子ビームを照射することによりレジストパターンを形成し、他の一部の工程ではフォトマスクを用いた光投影露光方式によりレジストパターンを形成するものである。

【0017】(7). 本発明の半導体集積回路装置の製造方法は、上記(6)の製造方法において、集積回路素子を形成する工程では、少なくともその一工程で前記光投影露光方式によりレジストパターンを形成し、前記集積回路素子の上に配線を形成する工程では、前記化学增幅系電子ビームレジストを用いた電子ビーム露光方式によりレジストパターンを形成するものである。

【0018】(8). 本発明の半導体集積回路装置の製造方法は、上記(6)の製造方法において、集積回路素子を形成する工程の一部で化学增幅系ポジ型電子ビームレジストを用い、他の一部で化学增幅系ネガ型電子ビームレジストを用いるものである。

【0019】(9). 本発明の半導体集積回路装置の製造方法は、上記(6)の製造方法において、前記化学增幅系電子ビームレジストに電子ビームを照射してレジストパターンを形成する電子ビーム露光工程を複数工程備え、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いるものである。

【0020】(10). 本発明の半導体集積回路装置の製造方法は、上記(6)の製造方法において、前記化学增幅系電子ビームレジストに電子ビームを照射して形成されるレジストパターンの最小寸法を、前記光投影露光方式で用いる露光光の波長以下とするものである。

【0021】(11). 本発明の半導体集積回路装置の製造方法は、上記(7)の製造方法において前記集積回路素子の上に配線を形成する工程の一部で化学增幅系ポジ型電

子ビームレジストを用い、他の一部で化学增幅系ネガ型電子ビームレジストを用いるものである。

【0022】(12). 本発明の半導体集積回路装置の製造方法は、上記(8)の製造方法において前記化学增幅系ネガ型電子ビームレジストを用いてMISFETのゲート電極を形成し、前記化学增幅系ポジ型電子ビームレジストを用いて前記MISFETとその上層に形成される配線とを接続するスルーホールを形成するものである。

【0023】(13). 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射して得られたレジストパターンをマスクに用いて配線接続用のコンタクトホールを形成する際、以下の工程(a)～(e)を備えたものである。

【0024】(a) 集積回路素子を形成した半導体ウエハ上に絶縁膜を堆積し、前記絶縁膜上に化学增幅系ポジ型電子ビームレジストを塗布し、さらに前記化学增幅系ポジ型電子ビームレジスト上に導電性ポリマーを被着する工程、(b) コンタクトホールの実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記化学增幅系ポジ型電子ビームレジストに電子ビームを照射する工程、(c) 前記化学增幅系ポジ型電子ビームレジストをペークすることにより、前記電子ビームの照射によって発生した酸を触媒とするレジスト溶解反応を促進させる工程、(d) 前記化学增幅系ポジ型電子ビームレジストを現像して被照射部を除去することにより、レジストパターンを形成する工程、(e) 前記レジストパターンをマスクに用いて前記絶縁膜をエッチングすることにより、配線接続用のコンタクトホールを形成する工程。

【0025】(14). 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に被着した化学增幅系電子ビームレジストに電子ビームを照射して得られたレジストパターンをマスクに用いて配線を形成する際、以下の工程(a)～(e)を備えたものである。

【0026】(a) 集積回路素子を形成した半導体ウエハ上に導電膜を堆積し、前記導電膜に化学增幅系ネガ型電子ビームレジストを塗布し、さらに前記化学增幅系ネガ型電子ビームレジスト上に導電性ポリマーを被着する工程、(b) 配線の実パターンの内側に対応した電子ビーム描画パターンデータに基づいて前記化学增幅系ネガ型電子ビームレジストに電子ビームを照射する工程、(c) 前記化学增幅系ネガ型電子ビームレジストをペークすることにより、前記電子ビームの照射によって発生した酸を触媒とするレジスト架橋反応を促進させる工程、(d) 前記化学增幅系ネガ型電子ビームレジストを現像して未照射部を除去することにより、レジストパターンを形成する工程、(e) 前記レジストパターンをマスクに用いて前記導電膜をエッチングすることにより、配線を形成する工程。

【0027】(15). 本発明の半導体集積回路装置の製造

方法は、半導体ウエハ上に被着した電子ビームレジストに電子ビームを照射し、照射部と未照射部の現像液に対するレジスト溶解速度の差を利用してレジストパターンを形成する電子ビーム露光工程を複数工程備え、前記複数の電子ビーム露光工程の一部の工程ではポジ型電子ビームレジストを用い、他の一部の工程ではネガ型電子ビームレジストを用いるものである。

【0028】(16) 本発明の半導体集積回路装置の製造方法は、上記(15)の製造方法において、前記電子ビームの照射に先立って、前記電子ビームレジストの表面に導電性ポリマーを被着するものである。

【0029】(17) 本発明の半導体集積回路装置の製造方法は、上記(15)の製造方法において前記電子ビームレジストに矩形または図形形状に成形した電子ビームを照射するものである。

#### 【0030】

【作用】上記した手段によれば、集積回路の実パターンの内側の面積の大小に応じてポジ型電子ビームレジストとネガ型電子ビームレジストとを使い分けることにより、描画時間を短縮することができる。

【0031】上記した手段によれば、化学增幅系電子ビームレジストの表面に導電性ポリマーを被着することにより、電子ビーム描画時のレジストのチャージアップを防止することができると共に化学增幅系電子ビームレジストを安定化することができる。

【0032】上記した手段によれば、集積回路素子の形成工程の少なくとも一工程ではフォトマスクを用いた光投影露光方式を用い、その後の配線形成工程では電子ビーム露光方式を用いることにより、露光時間の短縮と描画精度の向上を併せて実現することができる。

#### 【0033】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0034】図1は、本発明の一実施例である半導体集積回路装置の製造方法の一部を工程順に示すフロー図である。

【0035】まず、所定の集積回路が形成された半導体ウエハ2の主面上に酸化シリコン膜のような絶縁膜20を堆積し、この絶縁膜20の上に化学增幅系のポジ型電子ビームレジスト21を塗布する。このポジ型電子ビームレジスト21は、例えばベース樹脂であるクレゾールノボラック樹脂、溶解阻害剤であるテトラヒドロピラニル化ポリビニルフェノール（水酸基にあたる部分をピラニル基で保護し、耐アルカリ性を向上させたもの）、酸発生剤であるトリ（メタンスルホニルオキシ）ベンゼン、増感剤、酢酸メチルセロソルブ（溶媒）などから構成される。なお、このポジ型電子ビームレジスト21は、絶縁膜20との密着性を良くするために、露光の前後にペーク処理（プリペーク、ポストペーク）を行う。

【0036】次に、上記ポジ型電子ビームレジスト21

の上に導電性ポリマー22を塗布する。この導電性ポリマー22は、一例として昭和電工製「エスペーサ100」などを使用する。

【0037】この導電性ポリマー22は、露光時の半導体ウエハ2のチャージアップ防止およびポジ型電子ビームレジスト21の露光後の経時変化の低減、安定化を目的として塗布される。この導電性ポリマー22を用いずにポジ型電子ビームレジスト21を露光後放置すると、電子ビームの照射によって発生した酸が次第に失活すると想定される現象が認められ、その分、レジストパターンの寸法精度が劣化する。

【0038】次に、上記半導体ウエハ2を電子ビーム描画装置のXYステージに位置決めする。

【0039】図2は、本実施例で使用する電子ビーム描画装置の全体構成図、図3は、この電子ビーム描画装置の静電チャックによる半導体ウエハの保持方法の一例を示す図、図4は、この電子ビーム描画装置の位置変動計測機構の構成の一例を示す説明図である。

【0040】電子ビーム描画装置1は、試料である半導体ウエハ2の移動と、荷電集束ビームである電子ビーム7の偏向走査と、この電子ビーム7のオンオフとを組合せ、XYステージ15を連続して移動させながら半導体ウエハ2上の電子線レジストに所定の集積回路パターンを描画する装置であり、大別してデータ保管部3、描画制御部4、制御I/O部5およびEB描画部6から構成される。

【0041】XYステージ15の上方には、電子ビーム源8が設けられている。電子ビーム源8とXYステージ15との間には、第1偏向器11、第2偏向器14、電子レンズ13などからなる電子ビーム光学系6aが設けられ、半導体ウエハ2に向けて電子ビーム7が照射される。

【0042】XYステージ15には、半導体ウエハ2を保持する手段である静電チャック（図3参照）と、半導体ウエハ2に形成された基準マーク43（図4参照）の位置変動を計測する位置変動計測機構（図4参照）とが設けられている。半導体ウエハ2に形成された基準マーク43の位置の検出は、この基準マーク43に照射した光または電子ビーム7の反射信号を検出するマーク検出系41とXYステージ15の位置の検出を行うレーザ測長部16（図2参照）とによって行われる。

【0043】データ保管部3は、描画データを保管するための構成部であり、データ記憶部3aとデータ転送部3bとを備えている。データ記憶部3aは、例えば磁気ディスクなどからなり、その内部には描画処理を制御する制御データおよび集積回路パターン（接続孔の実パターンの内側に対応したパターンや、配線の実パターンの内側に対応したパターンなど）の描画データなどが格納されている。

【0044】描画制御部4は、電子ビーム描画装置1の

全体動作を制御するための構成部であり、例えば高速の制御計算機が用いられる。

【0045】制御I/O部5は、描画制御部4などから伝送された制御信号をEB描画部6へ入出力するための構成部であり、バッファメモリ5a、演算部5b、制御信号発生部5c、プランキング電極制御部5d、第1偏向制御部5e、移動制御部5f、第2偏向制御部5g、検出部5h、信号処理部5i、ステージ制御部5j、ローダ制御部5kおよび真空制御部5lを備えている。

【0046】半導体ウエハ2の基準マーク43の位置座標の検出は、描画に先立って半導体ウエハ2の表面を電子ビーム7または光によって走査し、XYステージ15の位置をレーザ測長部16によってレーザ測長することで情報を得て、例えば電子ビーム描画装置1の基準座標系に座標変換し、演算部5bの第2バッファメモリに記憶する。そして、個々の図形情報の描画に対応し、第2偏向制御部5gを制御する。また、半導体ウエハ2の高さの検出は、半導体ウエハ2の表面に光を斜め照射し、その反射光を検出することによって行う。

【0047】演算部5bは、バッファメモリ5aから伝送されたデータ、例えば描画データや基準マーク位置検出データあるいはステージ位置データなどに基づいて、電子ビーム7のオンオフを制御するプランキング制御信号データを作成したり、第2マスク12に形成された所定のパターンを選択するための第1偏向制御信号データを作成したり、第2マスク12の移動量を制御する制御信号データを作成したり、半導体ウエハ2に対する電子ビーム7の照射領域および照射位置を制御する第2偏向制御信号データを作成したりする。

【0048】EB描画部6は、荷電集束ビーム照射手段である電子ビーム光学系6aと、XYステージ手段であるXYステージ系6bとから構成されている。電子ビーム光学系6aは、電子ビーム源8、第1マスク9、プランキング電極10、第1偏向器11、第2マスク12、電子レンズ13および第2偏向器14を備えており、電子ビーム源8から放射された電子ビーム7は、これらの構成部を介してXYステージ15上の半導体ウエハ2の所定位置に照射される。

【0049】プランキング電極10は、電子ビーム7のオンオフを制御するための構成部である。電子ビーム7のオンオフは、演算部5bから制御信号発生部5cおよびプランキング電極制御部5dを介してプランキング電極10に伝送されたビーム照射パラメータデータなどに基づいて制御される。

【0050】第1偏向器11は、電子レンズ13を透過した電子ビーム7を第2マスク12の所定位置に照射するための構成部である。第2マスク12の所定のパターンの選択は、演算部5bから制御信号発生部5cおよび第1偏向制御部5eを介して第1偏向器11に伝送された図形選択パラメータデータなどに基づいて制御され

る。

【0051】電子レンズ13は、例えば電子ビーム7を集束したり、この電子ビーム7の光軸の回り方向における回転補正を行ったり、電子ビーム7の断面形状を縮小したり、半導体ウエハ2に対する電子ビーム7の焦点合わせを行ったりするための構成部である。

【0052】第2偏向器14は、電子レンズ13を透過した電子ビーム7を半導体ウエハ2の所定位置に照射するための構成部である。半導体ウエハ2に対する電子ビーム7の照射位置は、演算部5bから制御信号発生部5cおよび第2偏向制御部5gを介して第2偏向器14に伝送された照射情報パラメータデータ（照射領域や照射位置座標の記されたデータ）などに基づいて制御される。

【0053】第2偏向器14は、大角偏向用の電極偏向器と2段の小角高速偏向用の静電偏向器とから構成されている。すなわち、半導体ウエハ2に対する電子ビーム7の照射位置は、例えば5mm平方程度の大角度偏向用の電磁偏向器と、例えば500μmおよび80μm平方程度の2段高速偏向用の静電偏向器とによる偏向量を合わせることによって制御され、これによって、大角度、高速度の電子ビーム偏向を実現できるように構成されている。

【0054】第1マスク9および第2マスク12は、微動可能に設けられたものであり、マスク移動ステージ（図示せず）上に載置されている。第2マスク12の移動は、演算部5bから制御信号発生部5cおよび移動制御部5fを介して駆動部に伝送された移動制御パラメータデータなどに基づいて制御され、これにより、第2マスク12の所定のパターンが電子ビーム7の偏向領域内に入るように設定される。また、第1マスク9の移動も同様に制御される。

【0055】図3(a), (b)に示すように、半導体ウエハ2は、静電チャックの静電パレット32上に位置決めローラ35を介して固定される。半導体ウエハ2は、製造プロセスの進行につれて平坦度が次第に低下するが、この静電チャックは、100μm程度の反りが生じているような半導体ウエハ2でも平坦に固定することができる。

【0056】静電チャックに固定された半導体ウエハ2には、その側面に接触するナイフエッジコンタクトピン34を通じて通電が行われる。また、半導体ウエハ2の表面に塗布された導電性ポリマー22には、その表面電位をアース電位とするために、アース端子であるソフトコンタクトピン33の先端がソフトコンタクト形式によって接触している。このソフトコンタクトピン33は、その先端の表面が導電性ポリマー22を傷付けたり、貫通したりしないように極めて軽く接触している。電子ビームの照射によって生じた電荷は、その極く一部がこのソフトコンタクトピン33を通じて外部にアースされ

る。このようにすることにより、電子ビームの照射位置が電荷によって移動するのを確実に防止することができる。

【0057】図4に示すように、電子ビーム描画装置1の位置変動計測機構は大きく分けて、半導体ウエハ2上の基準マーク43を検出するマーク検出手段であるマーク検出系41と、取り入れられた2つの情報を比較するデータ比較系42とから構成される。

【0058】マーク検出系41は、光を発する光源41a(図1に示した電子ビーム源8から照射される電子ビーム7であってもよい)と、光源41aから発せられた光を収束または偏向させるレンズ41bと、この光を検出するセンサ41cとから構成される。また、データ比較系42は、上記センサ41cを介して取り入れられた情報を記憶するパターンメモリ42aと、後から取り入れられた情報を先に取り入れられた情報と比較する比較器42bとから構成される。

【0059】上記位置変動計測機構による試料の位置変動計測方法について説明すると、まず、半導体ウエハ2をXYステージ15上に搭載し、その表面に形成された基準マーク43に光源41aから発せられた光を当て、その反射光をセンサ41cにより検出し、このパターン情報をパターンメモリ42a内に格納する。

【0060】その後、XYステージ15を所定の速度(望ましくは、描画時にXYステージ15を移動させる速度と同等の速度、またはそれ以上の速度)で仮移動させ、再び元の位置に戻す。そして、同一の基準マーク43を再度検出し、仮移動前に取り入れられたパターンメモリ42a内の情報と仮移動後に取り入れられた情報を比較器42bにより比較することにより、XYステージ15に対する半導体ウエハ2の相対位置の変動分が基準値以下か否かを判別する。

【0061】半導体ウエハ2に形成された基準マーク43の測定再現性が基準値以下の場合は、電子ビーム7を用いて基準マーク43の位置を検出する。これにより、半導体ウエハ2に形成された集積回路パターンをチップ毎に位置合わせることができる。他方、基準値以上の場合は、エラー表示を行い、半導体ウエハ2を静電チャックからアンロードするか、または再度静電チャックを動作させ、基準マーク43の位置検出とXYステージ15の移動とを行って再度判断する。

【0062】このようにしてXYステージ15上に半導体ウエハ2を正確に位置決めた後、データ保管部3のデータ記憶部3aに格納された描画データ(接続孔の実パターンの内側に対応した描画データ)に従って半導体ウエハ2の表面に電子ビーム7を照射する。この電子ビーム7の照射により、ポジ型電子ビームレジスト21中の酸発生剤が加水分解され、酸が発生する。

【0063】次に、ポジ型電子ビームレジスト21をベークすると、上記酸が触媒として溶解阻害剤に作用し、

脱保護(脱ピラニル化)反応が進行する。そして、脱保護反応後の物質がポリビニルフェノールに変化し、電子ビーム照射部のレジスト溶解速度が増加する。なお、ポジ型電子ビームレジスト21と導電性ポリマー22との組み合わせによっては、ベーク時に両者の界面に不要な反応が生じる場合もあり得るが、このような場合は、ベークに先立って導電性ポリマー22を水洗により除去し、その後にベークを行えばよい。

【0064】次に、現像に先立って半導体ウエハ2を水洗し、表面の導電性ポリマー22を除去した後、有機溶剤でポジ型電子ビームレジスト21を現像することにより、レジストパターンを形成する。

【0065】次に、このレジストパターンをマスクとして絶縁膜20をエッチングし、集積回路素子上に配線接続用の接続孔23を形成した後、半導体ウエハ2の表面からポジ型電子ビームレジスト21を除去する。

【0066】図5は、本発明の一実施例である半導体集積回路装置の製造方法の他の一部を工程順に示すフロー図である。

【0067】まず、所定の集積回路が形成された半導体ウエハ2の主面上にA1のようなメタル膜24を堆積し、このメタル膜24の上に化学增幅系のネガ型電子ビームレジスト25を塗布する。このネガ型電子ビームレジスト25は、例えベース樹脂であるクレゾールノボラック樹脂、架橋剤であるメラミン、酸発生剤であるトリス(プロモアセチル)ベンゼン、シクロヘキサン(溶媒)などから構成される。なお、このネガ型電子ビームレジスト25は、メタル膜24との密着性を良くするために、露光の前後にベーク処理(プリベーク、ポストベーク)を行う。

【0068】次に、上記ネガ型電子ビームレジスト25の上に前述した導電性ポリマー22を塗布する。この導電性ポリマー22は、露光時の半導体ウエハ2のチャージアップ防止およびポジ型電子ビームレジスト21の露光後の経時変化の低減、安定化を目的として塗布される。この導電性ポリマー22を用いずにネガ型電子ビームレジスト25を露光後放置すると、電子ビームの照射によって発生した酸が次第に失活すると想定される現象が認められ、その分、レジストパターンの寸法精度が劣化する。

【0069】次に、上記半導体ウエハ2を前記図2に示す電子ビーム描画装置1のXYステージ15に位置決めし、データ保管部3のデータ記憶部3aに格納された描画データ(配線の実パターンの内側に対応した描画データ)に従って半導体ウエハ2の表面に電子ビーム7を照射する。この電子ビーム7の照射により、ネガ型電子ビームレジスト25中の酸発生剤が加水分解され、酸が発生する。

【0070】次に、ネガ型電子ビームレジスト25をベークし、電子ビーム未照射部のレジスト溶解速度を増加

させた後、半導体ウエハ2を水洗し、表面の導電性ポリマー22を除去した後、有機溶剤でネガ型電子ビームレジスト25を現像することにより、レジストパターンを形成する。なお、ネガ型電子ビームレジスト25と導電性ポリマー22との組み合わせによっては、ベーク時に両者の界面に不要な反応が生じる場合もあり得るが、このような場合は、ベークに先立って導電性ポリマー22を水洗により除去し、その後にベークを行えばよい。

【0071】次に、このレジストパターンをマスクとしてメタル膜24をエッチングすることにより配線24Aを形成した後、半導体ウエハ2の表面からネガ型電子ビームレジスト25を除去する。

【0072】このように、本実施例では、接続孔23の形成工程と配線24Aの形成工程とでポジ型電子ビームレジスト21とネガ型電子ビームレジスト25を使い分けるので、電子ビーム描画時間を短縮することができる。

【0073】また、ポジ型電子ビームレジスト21やネガ型電子ビームレジスト25上に導電性ポリマー22を形成することにより、この導電性ポリマー22が電子ビーム描画時のレジストのチャージアップを防止すると共にレジストを安定化させるように機能するので、描画精度を向上させることができる。

【0074】次に、ASIC用バイポーラLSIの製造工程に適用した本実施例の製造方法を図6、図7を用いて説明する。

【0075】図6は、バイポーラLSIの要部を示す半導体基板の要部断面図、図7は、このバイポーラLSIの第2層～第4層メタル配線のレイアウトを示す概略平面図である。なお、図7は半導体素子の図示を省略している。

【0076】図6に示すように、例えばp型の単結晶シリコンからなる半導体基板100の一部には、n型の埋込み層101が設けられている。また、半導体基板100上には、n型のエピタキシャル層102が設けられている。このエピタキシャル層102の一部には、酸化シリコン膜からなる素子分離用のフィールド絶縁膜103が設けられ、これによって半導体素子間および半導体素子内の各特性部に対する分離が行われている。

【0077】フィールド絶縁膜103の下部には、半導体基板100に埋設するようにしてp型のチャネルストップ領域104が設けられている。また、フィールド絶縁膜103で囲まれた部分のエピタキシャル層102内には、p型の真性ベース領域105、p型のグラフトベース領域106およびn型のコレクタ取出し領域108が設けられている。さらに、真性ベース領域105内には、n型のエミッタ領域107が設けられている。そして、これらエミッタ領域107、真性ベース領域105、この真性ベース領域105の下方におけるエピタキシャル層102の各々と、埋込み層101からなるコレ

クタ領域とによって、n-p-n型のバイポーラトランジスタが構成されている。

【0078】上記バイポーラトランジスタを形成するまでの各工程では、フォトマスクを用いた光投影露光方式を利用する。その後、このバイポーラトランジスタの上部に配線を形成する工程や、バイポーラトランジスタと配線あるいは上下層の配線間を接続するための接続孔を形成する工程では、本実施例の電子ビーム露光方式を利用する。

【0079】トランジスタの形成をフォトマスクを用いた光投影露光方式で行うことにより、電子ビーム露光方式で行う場合に比べて単位時間当たりのウエハ処理枚数を多くできるので、露光コストを低減することができる。一方、その後の配線形成は、電子ビーム露光方式を利用した方がユーザの要求に合わせた集積回路を短期間に製造する用途に適している。

【0080】図6に示すように、フィールド絶縁膜103に連設させた絶縁膜109にはグラフトベース領域106、エミッタ領域107およびコレクタ取出し領域108の各々に対応して接続孔109a、109b、109cが設けられている。また、グラフトベース領域106には、接続孔109aを通して多結晶シリコン膜からなるベース引出し電極110が接続されている。さらに、エミッタ領域107上には多結晶シリコン膜からなるエミッタ電極111が設けられている。

【0081】上記フィールド絶縁膜103の上部には、酸化シリコン膜からなる絶縁膜112、113が設けられている。これらの絶縁膜112、113には、ベース引出し電極110、エミッタ電極111、コレクタ取出し領域108の各々に対応して接続孔114、116、118が設けられている。これらの接続孔114、116、118は、前記図1に示した方法、すなわちポジ型電子ビームレジストをマスクにしたエッチングで開孔する。

【0082】これらの接続孔114、116、118を電子ビーム露光方式で開孔することにより、例えばASIC向けの半導体集積回路のように、開孔箇所が品種間で異なる場合においても効率良く形成することが可能となる。なお、接続孔114、116、118を開孔する箇所が品種間で同一であるような場合には、トランジスタ形成工程と同様にフォトマスクを用いた光投影露光方式を利用してよい。

【0083】上記ベース引出し電極110には、接続孔114を通じて例えばA1膜からなる第1層メタル配線115が接続されている。また、エミッタ電極111には、接続孔116を通じて第1層メタル配線117が接続されている。さらに、コレクタ取出し領域108には、接続孔118および前記接続孔109cを通じて第1層メタル配線119が接続されている。

【0084】上記第1層メタル配線115、117、1

19は、前記図5に示した方法、すなわちネガ型電子ビームレジストをマスクにしたエッチングで形成される。この配線形成工程では、ネガ型電子ビームレジストの下層に第1層配線用のメタル膜が存在するため、電子ビーム描画時のチャージアップの影響は少ない。従って、ネガ型電子ビームレジスト上の導電性ポリマーは、主としてこのネガ型電子ビームレジストの安定化膜として機能することになる。

【0085】上記第1層メタル配線115, 117, 119の上層には、窒化シリコン膜とSOG(スピノングラス)膜と酸化シリコン膜とを積層した層間絶縁膜120が設けられている。SOG膜はスピノン塗布法で堆積され、窒化シリコン膜と酸化シリコン膜はプラズマCVD法で堆積される。

【0086】上記層間絶縁膜120の上層には、例えばA1膜からなる第2層メタル配線82aが設けられている。図7に示すように、第2層メタル配線群57は、主に同図のY軸方向に沿って延設されている。第2層メタル配線群57の配線82a～82fは、例えば5μmピッチで3.5μm幅を有している。これらの配線82a～82fは、ネガ型電子ビームレジストをマスクにしたエッチングで形成される。

【0087】上記第2層メタル配線82aは、層間絶縁膜120に開孔された接続孔122を通じて前記第1層メタル配線119に接続されている。この接続孔122は、階段状の段差面を有しているので、この形状によつて接続孔122の内部における第2層メタル配線82aのステップカバレージを向上させることができる。この接続孔122は、ポジ型電子ビームレジストをマスクにしたエッチングで開孔される。

【0088】上記第2層メタル配線82aの上層には、前記層間絶縁膜120と同様の層間絶縁膜123が設けられている。層間絶縁膜123の上層には、例えばA1膜からなる第3層メタル配線83a, 83b, 83cが設けられている。図7に示すように、第3層メタル配線群59は、主に同図のX軸方向に沿って延設されている。第3層メタル配線群59の配線83a～83hは、5μmピッチで3.5μm幅を有し、相互接続の必要に応じて配置される。なお、配線83Xは、5ピッチ毎に設けられた予備配線である。これらの配線83a～83f, 83Xは、ネガ型電子ビームレジストをマスクにしたエッチングで形成される。

【0089】上記第3層メタル配線83aは、層間絶縁膜123に開設された接続孔125を通じて前記第2層メタル配線82aに接続されている。この接続孔125は、ポジ型電子ビームレジストをマスクにしたエッチングで開孔される。

【0090】上記第3層メタル配線83a, 83b, 83cの上層には、前記層間絶縁膜120, 123と同様の層間絶縁膜126が設けられている。層間絶縁膜12

6の上層には、例えばA1膜からなる第4層メタル配線81a, 81b, 81cが設けられている。

【0091】図7に示すように、第4層メタル配線群61は、主に同図のY軸方向に沿って延設されている。第4層メタル配線群61のうち、配線81a～81gは、それぞれ50～200μm幅の電源配線または基準電圧配線(ECL回路の場合は、V<sub>ESL</sub>=-4V, V<sub>EE</sub>=-3V, V<sub>TT</sub>=-2V, V<sub>CC1</sub>, V<sub>CC2</sub>, V<sub>CC3</sub>=0V)である。配線81a～81gの膜厚は2μm、これらの配線スペースは2μmである。また、配線84Yは、それが10μm幅の予備配線である。これらの配線81a～81g, 84Yは、ネガ型電子ビームレジストをマスクにしたエッチングで形成される。

【0092】上記第4層メタル配線81a, 81b, 81cの上層には、絶縁膜128が表面平坦化を目的として設けられている。この絶縁膜128は、例えば酸化シリコン膜のバイアスパッタ法、プラズマCVDとスペッタエッチングとの組合せなどにより形成される。あるいは、常圧CVDとスペッタエッチングの組合せにより形成されるPSG(Phospho-Silicate Glass)膜、BSG(Boro-Silicate Glass)膜、BPSG(Boro-Phospho-Silicate Glass)膜などのシリケートガラス膜を用いることも可能である。この絶縁膜128によって第4層メタル配線81a, 81b, 81c間の溝が埋められ、絶縁膜128の表面はほぼ平坦な状態になる。

【0093】上記絶縁膜128の上層には、プラズマCVD法により堆積された窒化シリコン膜129が設けられ、さらにその上層には、プラズマCVD法により堆積された酸化シリコン膜130が設けられている。そして、これら窒化シリコン膜129、酸化シリコン膜130の積層膜によって半導体基板100の表面を保護するパッセーション膜131が構成されている。

【0094】前記したように前記絶縁膜128の表面は平坦化されているため、窒化シリコン膜129の膜厚および膜質も比較的均一化されており、水分等の侵入し難い耐湿性の高いパッセーション膜131となってい。そのため、LSIのパッケージとして、気密性封止型のパッケージのみならず、非気密性封止型のパッケージを用いることもできる。

【0095】次に、ツイン・ウェル方式によるCMOS一スタティックRAM(SRAM)の製造工程に適用した本実施例の製造方法を図8～図14を用いて説明する。

【0096】図8は、ツイン・ウェルプロセスによるnウェルおよびpウェル形成プロセスを示す。同図において、200nはn型のシリコン単結晶からなる半導体基板、260nはn型ウェル、260pはp型ウェルである。

【0097】図9は、それに続くゲート形成プロセスおよび形成されたゲートをマスクとしてセルフアラインで

イオン注入により各MOSFETのソース、ドレインを形成するプロセスを示す。同図において、261はフィールド酸化膜、262nおよび262pはゲート酸化膜、263nおよび263pは多結晶シリコンのゲート電極、264nおよび264pはそれぞれn型およびp型のソース、ドレインである。

【0098】図10は、層間絶縁膜形成プロセスおよび第二層多結晶シリコン配線ならびに高抵抗形成プロセスを示す。同図において、265は層間絶縁膜、266は多結晶シリコン配線、266rは、SRAMメモリセルの負荷抵抗となる多結晶シリコン高抵抗である。

【0099】図11は、スピンドルガラスによる平坦化プロセスおよび接続孔形成プロセスを示す。同図において、267はスピンドルガラス膜、268aは半導体基板200との接続孔、268bは、多結晶シリコン配線266と上層との接続孔である。

【0100】図12は、第一層A1配線形成プロセスを示す。同図において、269は第一層A1配線である。

【0101】図13は、第一層A1配線269上の層間絶縁膜形成プロセスおよび第二層A1配線形成プロセスを示す。同図において、270は第一層A1配線269上の層間絶縁膜、271は接続孔を介して第一層A1配線269と接続された第二層A1配線である。

【0102】図14は、第二層A1配線271上のファイナル・パッシベーション膜形成プロセスを示す。同図において、272はファイナル・パッシベーション膜である。

【0103】図15は、上記SRAMの製造プロセスのフォトリソグラフィに関する工程、すなわち露光工程を抽出し、フロー化して示した露光プロセス・フロー図である。同図において、nウエル・フォト工程P1は、n型ウエル260nとなるべき部分以外を被覆するよう

に、窒化シリコン膜（半導体基板上）にフォトレジスト・パターンを形成する工程、フィールド・フォト工程P2は、nチャネルおよびpチャネルのアクティブ領域上を被覆するように前記窒化シリコン膜をパターニングするために、その上にフォトレジスト膜を被着してパターニングする工程である。

【0104】pウエル・フォト工程P3は、p型ウエル260pのチャネル・ストップ領域を形成するために、n型ウエル260n上に被覆するフォトレジスト膜をパターニングする工程、ゲート・フォト工程P4は、ゲート電極263n、263pをパターニングするために全面に被着された多結晶シリコン層上にフォトレジスト膜をパターニングする工程である。

【0105】nチャネル・フォト工程P5は、nチャネル側にゲート電極263nをマスクにしてn型不純物をイオン注入するためにpチャネル側にフォトレジスト膜をパターニングする工程、pチャネル・フォト工程P6は、逆にpチャネル側にゲート電極263pをマスクに

してp型不純物をイオン注入するためにnチャネル側にフォトレジスト膜をパターニングする工程である。

【0106】多結晶シリコン・フォト工程P7は、多結晶シリコン配線266または多結晶シリコン高抵抗266r（図10）となる第二層多結晶シリコン膜をパターニングするために全面に被着された多結晶シリコン層上にフォトレジスト膜をパターニングする工程、R・フォト工程P8は、多結晶シリコン高抵抗266r（図10）上をフォトレジスト膜で被覆した状態でその他の部分に不純物イオンを注入するためにマスクとなるフォトレジスト膜をネガ・プロセスによってパターニングする工程である。

【0107】コンタクト・フォト工程P9は、半導体基板200、ソース、ドレイン264n、264p、第一層多結晶シリコン層、第二層多結晶シリコン層などと第一層A1配線（A1-1）269とのコンタクトをとるための接続孔268a、268b（図11）を形成するためのフォトレジスト・パターンをポジ・プロセスにより被着、パターニングする工程、A1-1・フォト工程P10は、第一層A1配線269をパターニングするためのフォトレジスト・パターン・プロセスである。

【0108】スルーホール・フォト工程P11は、第一層A1配線269と第二層A1配線271との接続をとるための接続孔ホールを開口するためのフォトレジスト・パターンを形成する工程、A1-2・フォト工程P12は、第二層A1配線271のパターニングのフォトレジスト・パターン・プロセス、ポンディングパッド・フォト工程P13は、ファイナル・パッショニング膜272にポンディングパッドに対応する100μm角程度の開口を形成するために、パッド以外のファイナル・パッショニング膜272上にフォトレジスト膜を被着する工程である。

【0109】これらの露光プロセスのうち、nウエル・フォト工程P1、nチャネル・フォト工程P5、pチャネル・フォト工程P6およびポンディングパッド・フォト工程P13は、最小寸法が比較的大きいので、一般に電子ビーム露光を用いる必要はないが、その他のフォト工程では本発明の電子ビーム露光を用いる。

【0110】特に、ゲート・フォト工程P4に前記化学增幅系ネガ型電子ビームレジストを用いてゲート電極263n、263pを形成し、化学増幅系ポジ型電子ビームレジストを用いてソース、ドレイン264n、264pと第一層A1配線269とのコンタクトをとるための接続孔268a、268bを形成することにより、ゲート電極263n、263pのゲート長および接続孔268a、268bの開孔径を光露光方式で用いる露光光の波長以下（例えば0.3μm程度）に微細化することができる。

【0111】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0112】前記実施例では、配線形成工程および接続孔形成工程に適用した場合について説明したが、これに限定されるものではなく、集積回路素子の形成工程に適用することもできる。

### 【0113】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0114】半導体ウエハ上に形成された化学増幅系電子ビームレジストに電子ビームを照射して得られるレジストパターンをマスクに用いて集積回路パターンを形成する際、集積回路の製造工程に応じて化学増幅系ポジ型電子ビームレジストと化学増幅系ネガ型電子ビームレジストとを使い分けることにより、描画時間を短縮することができる、化学増幅系電子ビームレジストを用いて高スループットの電子ビーム直接描画を実現することができる。

【0115】また、上記化学増幅系電子ビームレジスト上に導電性ポリマーを被着することにより、電子ビーム描画時のレジストのチャージアップが防止される共に、化学増幅系電子ビームレジストが安定化されるので、化学増幅系電子ビームレジストを用いて高精度の電子ビーム直接描画を実現することができる。

### 【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造方法の一部を工程順に示すフロー図である。

【図2】本実施例で使用する電子ビーム描画装置の全体構成図である。

【図3】図2に示す電子ビーム描画装置の静電チャックによる半導体ウエハの保持方法の一例を示す説明図であり、(a)は静電チャックの斜視図、(b)は部分側面図である。

【図4】図2に示す電子ビーム描画装置の位置変動計測機構の構成の一例を示す説明図である。

【図5】本発明の一実施例である半導体集積回路装置の製造方法の他の一部を工程順に示すフロー図である。

【図6】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】図6に示す半導体集積回路装置の第2層～第4層メタル配線のレイアウトを示す概略平面図である。

【図8】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施例である半導体集積回路装置の製造方法の一部（フォトレジスト工程）を工程順に示すフロー図である。

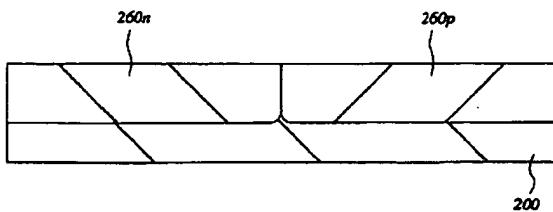
### 【符号の説明】

|      |                       |
|------|-----------------------|
| 1    | 電子ビーム描画装置             |
| 2    | 半導体ウエハ                |
| 3    | データ保管部                |
| 3 a  | データ記憶部                |
| 3 b  | データ転送部                |
| 4    | 描画制御部                 |
| 5    | 制御I/O部                |
| 5 a  | バックアメモリ               |
| 5 b  | 演算部                   |
| 5 c  | 制御信号発生部               |
| 5 d  | ブランкиング電極制御部          |
| 5 e  | 第1偏向制御部               |
| 5 f  | 移動制御部                 |
| 5 g  | 第2偏向制御部               |
| 5 h  | 検出部                   |
| 5 i  | 信号処理部                 |
| 5 j  | ステージ制御部               |
| 5 k  | ローダ制御部                |
| 5 l  | 真空制御部                 |
| 6    | E B描画部                |
| 6 a  | 電子ビーム光学系（荷電集束ビーム照射手段） |
| 6 b  | X Yステージ系（XYステージ手段）    |
| 7    | 電子ビーム（荷電集束ビーム）        |
| 8    | 電子ビーム源                |
| 9    | 第1マスク                 |
| 10   | ブランкиング電極             |
| 11   | 第1偏向器                 |
| 12   | 第2マスク                 |
| 13   | 電子レンズ                 |
| 14   | 第2偏向器                 |
| 15   | XYステージ                |
| 16   | レーザ測長部                |
| 20   | 絶縁膜                   |
| 21   | ポジ型電子ビームレジスト          |
| 22   | 導電性ポリマー               |
| 23   | 接続孔                   |
| 24   | メタル膜                  |
| 24 A | 配線                    |
| 25   | ネガ型電子ビームレジスト          |
| 32   | 静電パレット                |

3 3 ソフトコンタクトピン  
 3 4 ナイフエッジコンタクトピン  
 3 5 位置決めローラ  
 4 1 マーク検出系（マーク検出手段）  
 4 1 a 光源  
 4 1 b レンズ  
 4 1 c センサ  
 4 2 データ比較系  
 4 2 a パターンメモリ  
 4 2 b 比較器  
 4 3 基準マーク  
 5 7 第2層メタル配線群  
 5 9 第3層メタル配線群  
 6 1 第4層メタル配線群  
 8 1 a～8 1 g 第4層メタル配線  
 8 2 a～8 2 f 第2層メタル配線  
 8 3 a～8 3 h 第3層メタル配線  
 8 3 X 配線  
 8 4 Y 配線  
 1 0 0 半導体基板  
 1 0 1 埋込み層  
 1 0 2 エピタキシャル層  
 1 0 3 フィールド絶縁膜  
 1 0 4 チャネルストップ領域  
 1 0 5 真性ベース領域  
 1 0 6 グラフトベース領域  
 1 0 7 エミッタ領域  
 1 0 8 コレクタ取出し領域  
 1 0 9 絶縁膜  
 1 0 9 a～1 0 9 c 接続孔  
 1 1 0 ベース引出し電極  
 1 1 1 エミッタ電極  
 1 1 2 絶縁膜  
 1 1 3 絶縁膜  
 1 1 4 接続孔

【図8】

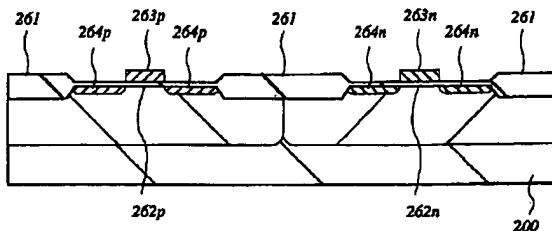
図 8



1 1 5 第1層メタル配線  
 1 1 6 接続孔  
 1 1 7 第1層メタル配線  
 1 1 8 接続孔  
 1 1 9 第1層メタル配線  
 1 2 0 層間絶縁膜  
 1 2 2 接続孔  
 1 2 3 層間絶縁膜  
 1 2 5 接続孔  
 10 1 2 6 層間絶縁膜  
 1 2 8 絶縁膜  
 1 2 9 窒化シリコン膜  
 1 3 0 酸化シリコン膜  
 1 3 1 パッシベーション膜  
 2 0 0 半導体基板  
 2 6 0 n n型ウエル  
 2 6 0 p p型ウエル  
 2 6 1 フィールド酸化膜  
 2 6 2 n ゲート酸化膜  
 20 2 6 2 p ゲート酸化膜  
 2 6 3 n ゲート電極  
 2 6 3 p ゲート電極  
 2 6 4 n ソース、ドレイン  
 2 6 4 p ソース、ドレイン  
 2 6 5 層間絶縁膜  
 2 6 6 多結晶シリコン配線  
 2 6 6 r 多結晶シリコン高抵抗  
 2 6 7 スピンオングラス膜  
 2 6 8 a 接続孔  
 30 2 6 8 b 接続孔  
 2 6 9 第一層A 1配線  
 2 7 0 層間絶縁膜  
 2 7 1 第二層A 1配線  
 2 7 2 ファイナル・パッシベーション膜

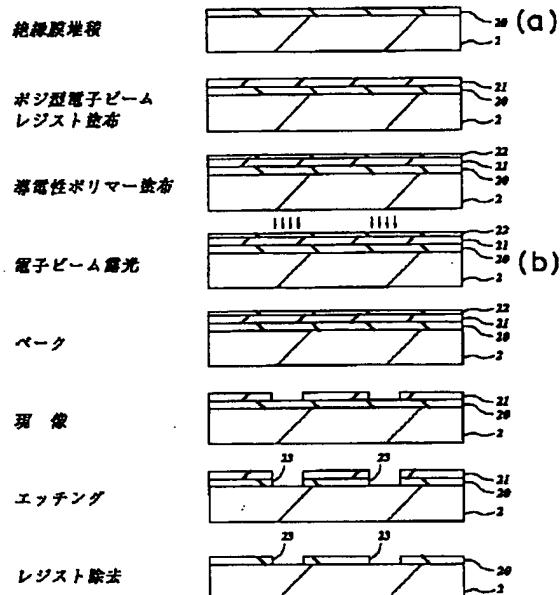
【図9】

図 9



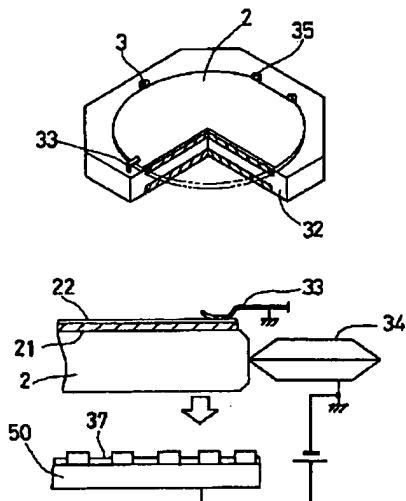
[図 1]

图 1



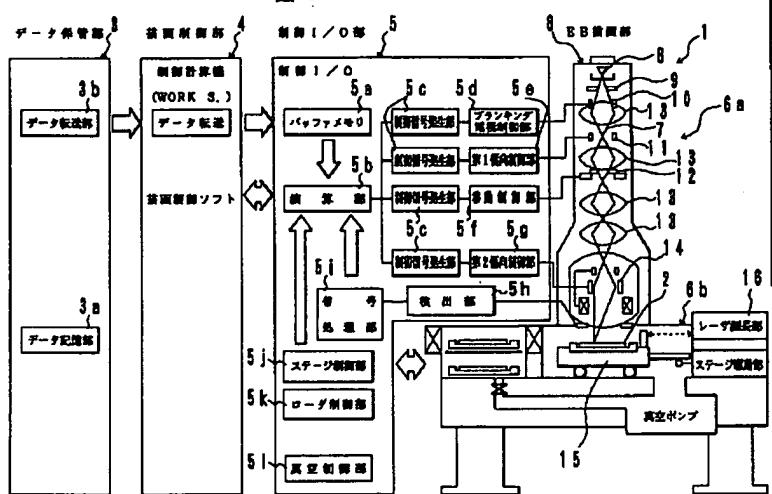
【図3】

3



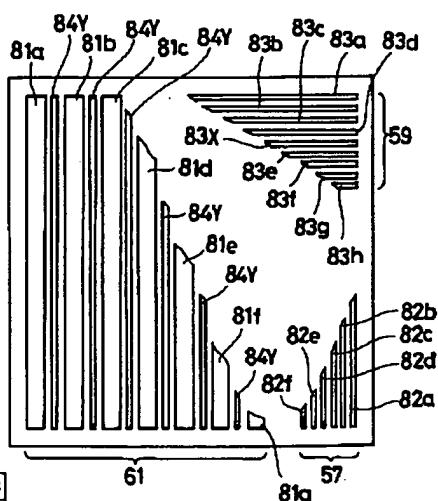
【図2】

図 2



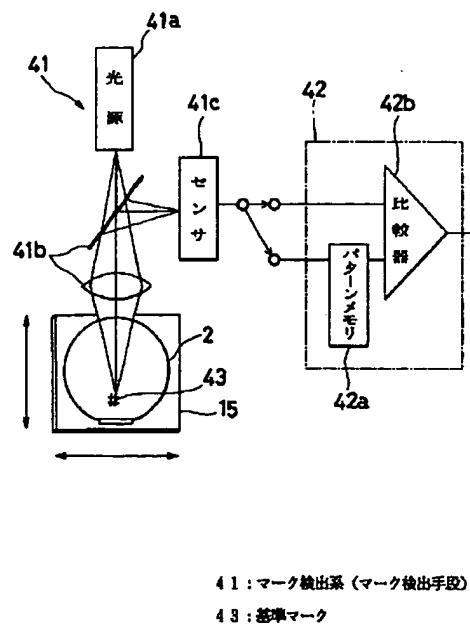
【図7】

图 7



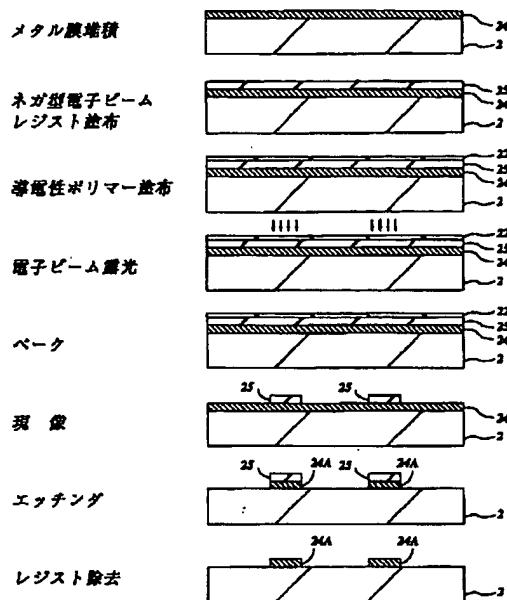
〔圖4〕

4



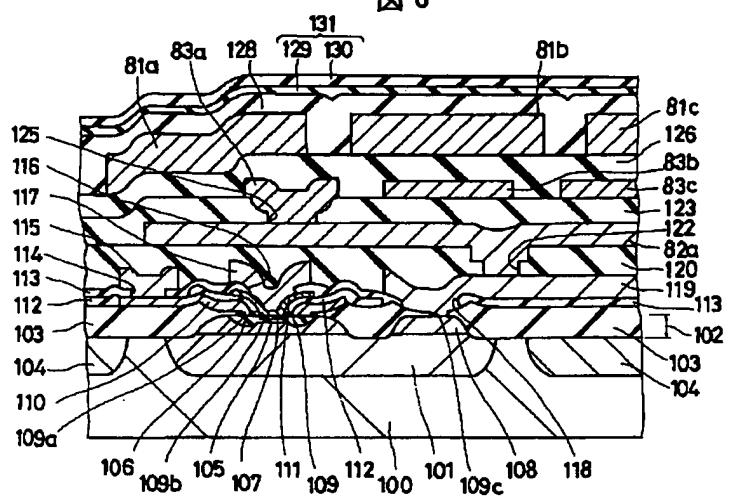
【図5】

5



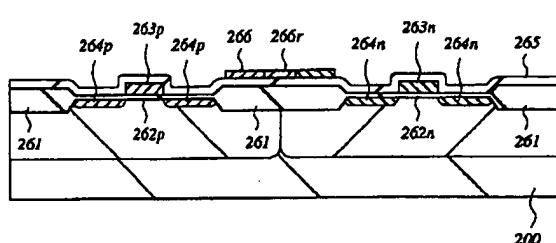
【图6】

图 6



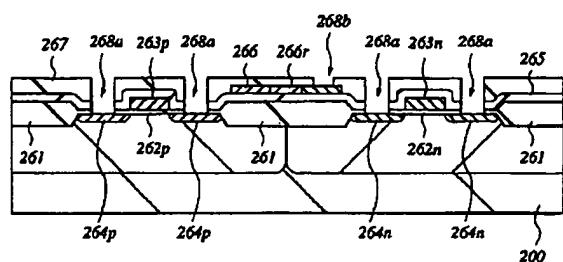
【图10】

図 10



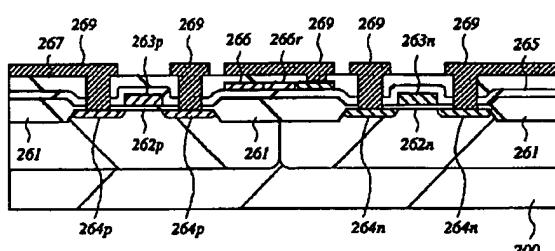
[図12]

圖 12



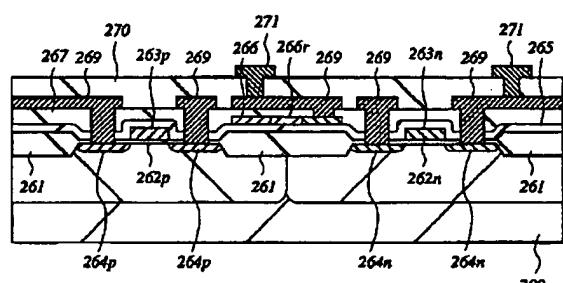
[图 13]

図 13



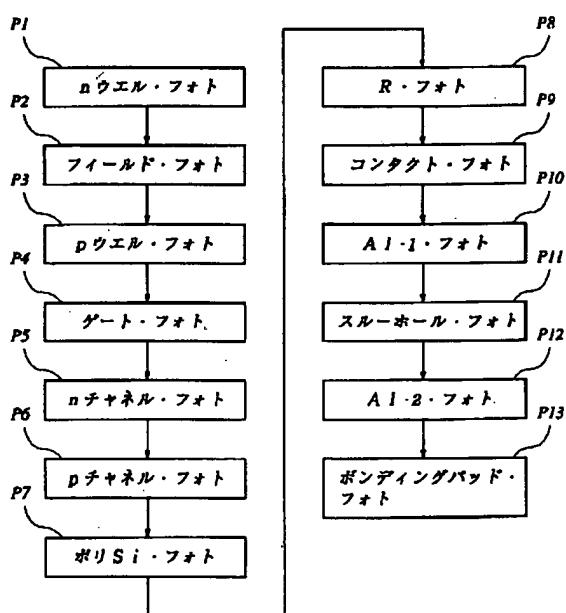
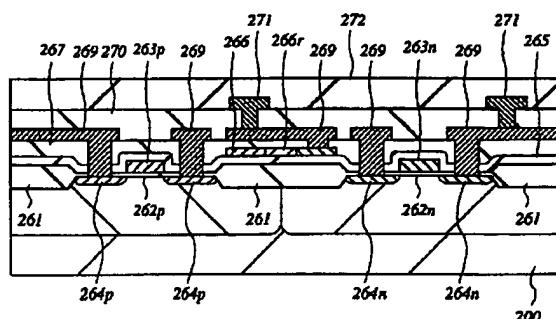
[図14]

14



[図15]

图 15



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 03 F 7/26